

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000269450 A**

(43) Date of publication of application: **29.09.00**

(51) Int. Cl

**H01L 27/10**

**H01L 21/76**

**H01L 27/115**

**H01L 21/8247**

**H01L 29/788**

**H01L 29/792**

(21) Application number: **11073074**

(22) Date of filing: **18.03.99**

(71) Applicant: **TOSHIBA CORP**

(72) Inventor: **TANIMOTO MASAO  
YAMADA SEIJI  
ISOBE KAZUAKI  
MATSUI NORIHARU**

**(54) SEMICONDUCTOR DEVICE AND ITS  
MANUFACTURE**

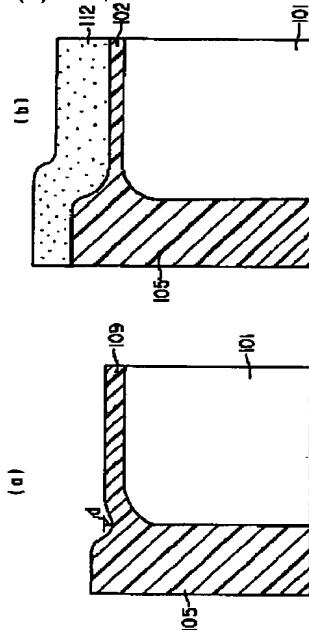
a gate electrode above the flat portion is 4 nm or more.

COPYRIGHT: (C)2000,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To stabilize an operation in a region having a reduced gate voltage to improve the yield of a device, by enlarging the curvature of the end portion of the element region of a peripheral circuit transistor as compared with that of the end portion of the element region of a memory cell transistor.

**SOLUTION:** The gate oxide film 109 on the end portion of an element region has a bird's beak. Therefore, as compared with a gate oxide film having no bird's beak, this prevents a reduction in thickness of the film 109 at the end portion of the element region in a separation step in a gate forming step, and prevents a field concentration at the end portion of the element region. Also, a reduction in thickness of a gate electrode 112 formed on the gate oxide film 109 at the end portion of the element region in a peripheral circuit transistor region is smaller than that of a conventional gate electrode, and for example, the results of measurement reveal that a difference (d) in height between the flat portion of the element region and the lowest portion of





(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-269450  
(P2000-269450A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.<sup>7</sup>

H 01 L 27/10  
21/76  
27/115  
21/8247  
29/788

識別記号

4 8 1

F I

H 01 L 27/10  
21/76  
27/10  
29/78

4 8 1 5 F 0 0 1  
L 5 F 0 3 2  
4 3 4 5 F 0 8 3  
3 7 1

テマコード\*(参考)

審査請求 未請求 請求項の数 8 OL (全 10 頁) 最終頁に続く

(21) 出願番号

特願平11-73074

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22) 出願日 平成11年3月18日 (1999.3.18)

(72) 発明者 谷本 正男

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 山田 誠司

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

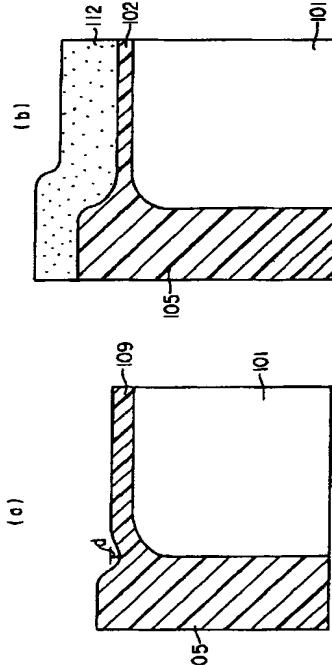
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 フラッシュ EEPROMにおいて、周辺回路が形成される部分の素子領域の端部の曲率をメモリセルアレイ部の端部の曲率に比べ、大きくすることによって、トランジスタのリーク電流を小さくし、消費電力を少なくする。

【解決手段】 メモリセルトランジスタが複数個形成され、メモリセルトランジスタの素子領域が埋め込み素子分離領域により絶縁分離されたメモリセルアレイ領域と、メモリセルアレイの周辺回路トランジスタが複数個形成され、周辺回路トランジスタの素子領域が埋め込み素子分離領域により絶縁分離された周辺トランジスタ領域とを具備し、周辺トランジスタの素子領域の端部の曲率がメモリセルトランジスタの素子領域の端部の曲率に比べて実質的に大きく設定されている。



## 【特許請求の範囲】

【請求項1】 メモリセルトランジスタが複数個形成され、前記メモリセルトランジスタの素子領域が埋め込み素子分離領域により絶縁分離されたメモリセルアレイ領域と、

メモリセルアレイの周辺回路トランジスタが複数個形成され、前記周辺回路トランジスタの素子領域が埋め込み素子分離領域により絶縁分離された周辺トランジスタ領域とを具備し、

前記周辺回路トランジスタの素子領域の端部の曲率が前記メモリセルトランジスタの素子領域の端部の曲率に比べて大きく実質的に設定されていることを特徴とする半導体装置。

【請求項2】 前記素子領域の平坦部の高さとそれよりも上部にあるゲート電極の最も低い部分の高さの差が4nm以上であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記周辺回路トランジスタの動作が待機状態の時にサブスレショールド電流が流れるバイアス電位が与えられることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記メモリセルトランジスタのゲート電極の少なくとも一部は、前記メモリセルアレイ領域における埋め込み素子分離領域と自己整合していることを特徴とする請求項1または2記載の半導体装置。

【請求項5】 前記メモリセルトランジスタが浮遊ゲートを備えた不揮発性半導体メモリのメモリセルであることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項6】 MOSトランジスタのゲート絶縁膜の一部を素子分離形成工程の前に形成し、前記ゲート絶縁膜の残りを素子分離形成工程の後に形成する半導体装置の製造に際して、

前記素子分離形成工程の後に形成するゲート絶縁膜を有するMOSトランジスタの素子領域の端部の曲率が、前記素子分離形成工程の前に形成するゲート絶縁膜を有するMOSトランジスタの素子領域の端部の曲率に比べて実施的に大きくなるようにMOSトランジスタを形成することを特徴とする半導体装置の製造方法。

【請求項7】 メモリセルアレイ領域およびその周辺回路トランジスタが形成された周辺トランジスタ領域を有する不揮発性半導体メモリの製造に際して、

半導体基板の全面にメモリセルトランジスタ用の第1のゲート絶縁膜を形成し、その上にポリシリコン膜および絶縁膜を形成する工程と、

前記絶縁膜、ポリシリコン膜、第1のゲート絶縁膜および半導体基板に素子分離領域形成用のトレンチを形成する工程と、

前記メモリセルアレイ領域をカバーしたうえで、周辺トランジスタ領域の素子領域の端部上の第1のゲート絶縁

膜を除去する工程と、

前記トレンチの表面および周辺トランジスタ領域における素子領域の端部とその上のポリシリコン膜との間の部分の表面を酸化する工程と、

前記トレンチに埋め込み絶縁体を埋め込み、全面を平坦化する工程と、

前記ポリシリコン膜上の絶縁膜を除去する工程と、

前記周辺トランジスタ領域のポリシリコン膜および第1のゲート絶縁膜を除去した後、周辺回路トランジスタ用

10 の第2のゲート絶縁膜を形成する工程と、  
前記メモリセルアレイ領域では前記ポリシリコン膜を浮遊ゲートとして備えた積層ゲート構造を形成し、周辺トランジスタ領域では前記第2のゲート絶縁膜上にゲート電極を形成する工程と、

基板表層部にトランジスタのソース／ドレインとなる不純物を選択的に導入する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項8】 メモリセルアレイ領域およびその周辺回路トランジスタが形成された周辺トランジスタ領域を有する不揮発性半導体メモリの製造に際して、

半導体基板の全面にメモリセルトランジスタ用の第1のゲート絶縁膜を形成し、その上にポリシリコン膜を形成する工程と、

前記ポリシリコン膜、第1のゲート絶縁膜および半導体基板に素子分離領域形成用のトレンチを形成する工程と、

前記トレンチに埋め込み絶縁体を埋め込み、全面を平坦化する工程と、

30 基板全面にメモリセルトランジスタの浮遊ゲート・制御ゲート間絶縁用のゲート間絶縁膜を形成する工程と、  
前記周辺トランジスタ領域のゲート間絶縁膜、ポリシリコン膜および第1のゲート絶縁膜を除去して素子領域を露出させる工程と、

前記周辺トランジスタ領域で露出した素子領域の端部の角をエッチングして丸みをもつ形状にする工程と、

前記周辺トランジスタ領域で、前記周辺回路トランジスタ用の第2のゲート絶縁膜を形成する工程と、

前記メモリセルアレイ領域では前記ポリシリコン膜を浮遊ゲートとして備えた積層ゲート構造を形成し、周辺ト

40 ランジスタ領域では前記第2のゲート絶縁膜上にゲート電極を形成する工程と、  
基板表層部にトランジスタのソース／ドレインとなる不純物を選択的に導入する工程とを具備することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に係り、特に埋め込み素子分離領域により絶縁分離された素子領域の端部の形状およびその制御方法に関するもので、例えば一括消去型の不揮発性半導体

3

メモリであるNOR型フラッシュEEPROM、メモリ混載ロジック集積回路などに使用されるものである。

#### 【0002】

【従来の技術】図7(a)乃至図8(c)は、従来の埋め込み素子分離を用いたフラッシュEEPROMの製造工程の一部を示している。

【0003】まず、図7(a)に示すように、半導体基板101のメモリセルアレイ領域および周辺トランジスタ領域にそれぞれのトランジスタの閾値がそれぞれ所望の値となるように不純物を導入した後、基板上全面にメモリセルトランジスタのトンネル酸化膜となる酸化膜102を形成し、その上に不純物としてリンが導入されたポリシリコン膜103、CVD(化学気相成長)窒化膜およびCVD酸化膜の積層膜104を堆積する。

【0004】次に、基板上にレジストパターン(図示せず)を形成し、これを用いて前記積層膜104をパターニングした後に前記レジストパターンを除去する。

【0005】この後、図7(b)に示すように、前記パターニングされた積層膜104をマスクとして、素子分離領域形成予定部分に対応するポリシリコン膜103、ゲート酸化膜102、シリコン基板101を除去することにより、浅いトレンチを形成する。

【0006】次に、図7(c)に示すように、前記トレンチに埋め込み絶縁体である例えばLPTEOS(Low Pressure Tetra-Ethyl-Oxide-Silicon)膜105を埋め込む。この後、CMP(Chemical Mechanical Polishing)法またはエッチバック法により全面を平坦化し、埋め込み絶縁体を積層膜104の途中まで後退させる。この後、ウエットエッチャリング処理を行い、積層膜104を完全に除去する。

【0007】次に、図8(a)に示すように、不純物としてリンが導入されたポリシリコン膜106を基板上全面に堆積し、その上にレジストパターン(図示せず)を形成し、これを用いて前記ポリシリコン膜106をパターニングする。この際、メモリセルアレイ領域のポリシリコン膜106を素子分離領域上で分断するスリット107を形成し、周辺トランジスタ領域のポリシリコン膜106、103を除去する。この後、前記レジストパターンを剥離する。

【0008】次に、基板上全面にONO絶縁膜(酸化膜/窒化膜/酸化膜の積層膜)108を形成し、メモリセルアレイ領域をレジスト(図示せず)でカバーしたうえで、周辺トランジスタ領域のONO絶縁膜108およびゲート酸化膜(トンネル酸化膜)102を除去した後、前記メモリセルアレイ領域をカバーしているレジストを除去する。

【0009】なお、メモリセルアレイ領域にスリット107を形成する時に周辺トランジスタ領域のポリシリコン膜106、103を残しておき、上記ONO絶縁膜108、およびゲート酸化膜(トンネル酸化膜)102を

4

除去する際に前記ポリシリコン膜106、103を除去してもよい。

【0010】次に、図8(b)に示すように、周辺回路用トランジスタのゲート酸化膜109を形成する。

【0011】次に、図8(c)とは直交する方向からみて示す図8(c)のように、不純物が導入されたポリシリコン膜を基板上全面に堆積し、メモリセルアレイ領域では上記ポリシリコン膜、前記ONO絶縁膜108、ポリシリコン膜106および103をパターニングする。

10 これにより、制御ゲート110と浮遊ゲート111(ポリシリコン膜106および103)が二層になった積層ゲート構造が得られる。また、周辺トランジスタ領域では前記ポリシリコン膜をパターニングすることによりゲート電極112を形成する。

【0012】引き続いて、図示しないが、基板表層部にトランジスタのソース/ドレインとなる不純物を選択的に導入し、さらに、層間絶縁膜の堆積、コンタクトの開孔、配線形成、表面保護絶縁膜の堆積を行い、フラッシュEEPROMを完成させる。

【0013】上記したように埋め込み素子分離領域により絶縁分離された素子領域を有するフラッシュEEPROMにおいては、メモリセルアレイ領域と周辺トランジスタ領域とは、それぞれの領域のMOSトランジスタの性能を最適化するために、それぞれの領域で膜厚の異なるゲート酸化膜を用いている。

【0014】ところで、埋め込み素子分離領域により絶縁分離された素子領域を有する半導体装置の製造に際して異なる膜厚のゲート酸化膜を付け分ける場合(例えば2つの膜厚のゲート酸化膜を付け分ける場合)、一般的には、基板上を全面的に酸化して第1の膜厚のゲート酸化膜を一旦形成し、次に、第2の膜厚のゲート酸化膜を形成したい領域の第1のゲート酸化膜を剥離し、かつ第1のゲート酸化膜を形成する領域は酸化種が供給されないようにした後、第2の膜厚のゲート酸化膜を形成する。

【0015】異なる膜厚のゲート酸化膜を形成する方法は多種考えられるが、素子分離形成工程との関係で考えた場合、① 全てのゲート酸化膜を形成してから素子分離工程を行う手法と、② 素子分離工程を行った後で全てのゲート酸化膜を形成する手法と、③ 図7(a)乃至図8(c)に示したように、ゲート酸化膜の一部は素子分離形成工程の前に形成し、ゲート酸化膜の残りを素子分離形成工程の後に形成する手法に大別される。

【0016】前記①の手法は、複数のゲート酸化膜を付け分ける場合に必要な剥離工程において素子分離領域の絶縁膜も同時に剥離工程に晒されることはないが、ゲート酸化膜形成後の熱工程でチャネル領域の不純物プロファイルが緩やかになり、トランジスタの高性能化には適していない。

50 【0017】前記②の手法は、ゲート酸化膜形成後の熱

工程を少なくすることができ、トランジスタの高性能化には適しているが、ゲート酸化膜を形成する前の剥離工程で素子分離領域の絶縁膜も同時にエッチングされてしまうので、トランジスタ特性へ悪影響を与える形状が形成されてしまう。

【0018】図9(a)は、前記③の手法を用いて形成された半導体装置、例えば前記フラッシュEEPROMにおいて、素子分離絶縁膜105を形成する前にゲート酸化膜102を形成したメモリセルアレイ領域におけるトランジスタの素子分離領域付近(素子領域の端部)の形状の一例を示している。ここで、103は浮遊ゲートの下部のポリシリコン膜である。

【0019】また、図9(b)は、前記③の手法を用いて形成されたフラッシュEEPROMにおいて、素子分離絶縁膜105を形成した後でゲート酸化膜109を形成した周辺トランジスタ領域における素子領域の端部の形状の一例を示しており、図8(b)中に点線の○印で囲んだ部分に対応する端部を拡大して示したものに相当する。ここで、112はゲート電極である。

【0020】図9(b)に示す形状は、図9(a)に示す形状に比べて、周辺トランジスタ領域のゲート酸化膜(トンネル酸化膜)102の剥離工程で素子分離絶縁膜105がエッチングされた部分にゲート電極112が落ち込んだ形状となっているので、この落ち込んだ部分の近傍でトランジスタの動作時に電界集中が起こり、この部分では、素子領域の平坦な部分に比べて低いゲート電圧で反転層が形成され、チャネル電流が流れることになる。

【0021】その結果、トランジスタのゲート電圧が低い領域(サブスレショールド電流領域)のリーク電流が増え、消費電流が増加することになる。また、トランジスタのゲート電圧が低い領域においても素子領域の端部の角部に反転層が形成されるので、トランジスタのサブスレショールド電流特性がゲート電圧に対して不連続になるキンク特性が発生し、ゲート電圧が低い領域で動作させるトランジスタ(例えば待機状態の時にサブスレショールド電流が流れる周辺回路トランジスタ)の動作が不安定になり、製品の収率が下がることになる。さらに、前記①、②の手法を用いてフラッシュEEPROMを形成した場合についても、ゲート電極112が素子領域および素子分離絶縁膜105上に亘って形成される周辺回路トランジスタ側では、図9(b)に示すゲート電極112の落ち込んだ形状は生じなくとも、素子領域の端部の角部に多かれ少なかれ電界集中が発生する。このため、素子領域の端部の実質的なしきい値電圧が低下するので、やはり上記のようなキンク特性の発生が問題となり、トランジスタを安定に動作させることができ小困難になる。

【0022】一方、メモリセルアレイ領域においては、図9(a)に示すように浮遊ゲートの下部のポリシリコ

ン膜103と自己整合的に埋め込み素子分離領域が形成されており、素子分離絶縁膜105上方の浮遊ゲートと素子領域の端部とが近接していないため、キンク特性が大きな問題となることはない。

#### 【0023】

【発明が解決しようとする課題】上記したように従来の半導体装置およびその製造方法は、素子分離を行った後にゲート絶縁膜を形成した周辺トランジスタ領域における素子領域の端部の形状に起因してトランジスタのゲート電圧が低い領域のリーク電流が増え、消費電流が増加することになり、サブスレショールド電流特性がゲート電圧に対して不連続になり、ゲート電圧が低い領域で動作させるトランジスタの動作が不安定になり、製品の収率が下がるという問題があった。

【0024】本発明は上記の問題点を解決すべくなされたもので、周辺回路トランジスタのゲート電圧が低い領域のリーク電流および消費電流を抑制でき、サブスレショールド電流特性がゲート電圧に対して連続的になり、ゲート電圧が低い領域での動作が安定になり、製品の収率を向上させることができる半導体装置およびその製造方法を提供することを目的とする。

#### 【0025】

【課題を解決するための手段】本発明の半導体装置は、メモリセルトランジスタが複数個形成され、前記メモリセルトランジスタの素子領域が埋め込み素子分離領域により絶縁分離されたメモリセルアレイ領域と、メモリセルアレイの周辺回路トランジスタが複数個形成され、前記周辺回路トランジスタの素子領域が埋め込み素子分離領域により絶縁分離された周辺トランジスタ領域とを具備し、前記周辺回路トランジスタの素子領域の端部の曲率が前記メモリセルトランジスタの素子領域の端部の曲率に比べて大きく実質的に設定されていることを特徴とする。

【0026】また、本発明の半導体装置の製造方法は、MOSトランジスタのゲート絶縁膜の一部を素子分離形成工程の前に形成し、前記ゲート絶縁膜の残りを素子分離形成工程の後に形成する半導体装置の製造に際して、前記素子分離形成工程の後に形成するゲート絶縁膜を有するMOSトランジスタの素子領域の端部の曲率が、前記素子分離形成工程の前に形成するゲート絶縁膜を有するMOSトランジスタの素子領域の端部の曲率に比べて実施的に大きくなるようにMOSトランジスタを形成することを特徴とする。

#### 【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0028】<第1実施例>図1(a)乃至図2(d)は、本発明の第1実施例に係るNOR型フラッシュEEPROMの製造工程の一部を示している。このフラッシュEEPROMは、埋め込み素子分離領域により絶縁分

離された素子領域を有し、メモリセルアレイ領域と周辺トランジスタ領域とはMOSトランジスタのゲート酸化膜の膜厚が異なるものである。

【0029】まず、図1(a)に示すように、半導体基板101のメモリセルアレイ領域および周辺トランジスタ領域にそれぞれのトランジスタの閾値がそれぞれ所望の値となるように不純物を導入した後、基板上全面にメモリセルトランジスタのトンネル酸化膜となるゲート酸化膜102を形成し、その上にポリシリコン膜103、CDV窒化膜およびCVD酸化膜の積層膜104を堆積する。

【0030】次に、基板上にレジストパターン(図示せず)を形成し、これを用いて前記積層膜104をパテーニングした後に前記レジストパターンを除去する。

【0031】この後、図1(b)に示すように、前記パテーニングされた積層膜104をマスクとして、素子分離領域形成予定部分に対応するポリシリコン膜103、ゲート酸化膜102、シリコン基板101を除去することにより、浅いトレンチを形成する。

【0032】次に、メモリセルアレイ領域をレジスト(図示せず)でカバーした後、周辺トランジスタ領域に対してウェットエッティング処理(または等方性ドライエッティング処理、あるいはこれら両方の処理)を行い、図1(c)に示すように、周辺トランジスタ領域の素子領域上のゲート酸化膜102の一部分(素子領域端部上の部分)を除去し、素子領域の端部へ酸化剤が供給され易い形状にする。

【0033】この後、前記レジストを除去して例えば温度が900度～1000度、酸素濃度が10%の雰囲気で、前記トレンチの表面の酸化膜厚が20nm以上となるように酸化して酸化膜113を形成する。この時、周辺トランジスタ領域の素子領域端部とその上のポリシリコン膜103との間の部分は、酸化剤が供給されて酸化が進行するので、図1(d)に示すように、いわゆるバーズピークが入ると共に素子領域の端部が丸みを持つ形状となる。

【0034】続いて、図2(a)に示すように、前記トレンチに埋め込み絶縁体である例えばLPTEOS膜105を埋め込む。この後、CMP法またはエッチバック法により全面を平坦化し、埋め込み絶縁体を積層膜104の途中まで後退させ、次いでウェットエッティング処理を行い、積層膜104を除去する。

【0035】次に、図2(b)に示すように、不純物としてリンが導入されたポリシリコン膜106を基板上全面に堆積し、その上にレジストパターン(図示せず)を形成し、これを用いて前記ポリシリコン膜106をパテーニングすることにより、メモリセルアレイ領域のポリシリコン膜106を素子分離領域上で分断するスリット107を形成し、周辺トランジスタ領域のポリシリコン膜106、103を除去する。この後、前記レジストパ

ターンを剥離する。

【0036】次に、基板上全面にONO絶縁膜108を形成し、メモリセルアレイ領域をレジスト(図示せず)でカバーしたうえで、周辺トランジスタ領域のONO絶縁膜108およびゲート酸化膜(トンネル酸化膜)102を除去した後、前記メモリセルアレイ領域をカバーしているレジストを除去する。

【0037】なお、メモリセルアレイ領域にスリット107を形成する時に周辺トランジスタ領域のポリシリコン膜106、103を残しておき、上記ONO絶縁膜108、およびゲート酸化膜(トンネル酸化膜)102を除去する際に前記ポリシリコン膜106、103を除去してもよい。

【0038】以下は、従来と同様に、図2(c)に示すように、周辺回路用トランジスタのゲート酸化膜109を形成し、さらに、図2(c)とは直交する方向からみて示す図2(d)のように、不純物が導入されたポリシリコン膜を基板上全面に堆積する。

【0039】そして、メモリセルアレイ領域では上記ポリシリコン膜、前記ONO絶縁膜108、ポリシリコン膜106および103をパテーニングすることにより、制御ゲート110と浮遊ゲート111(ポリシリコン膜106および103)が二層になった積層ゲート構造を形成し、周辺トランジスタ領域では前記ポリシリコン膜をパテーニングすることによりゲート電極112を形成する。引き続いて、図示しないが、基板表層部にトランジスタのソース/ドレインとなる不純物を選択的に導入し、さらに、層間絶縁膜の堆積、コンタクトの開孔、配線形成、表面保護絶縁膜の堆積を行い、フラッシュEEPROMを完成させる。

【0040】図3(a)は、図2(c)中に点線の○印で示した部分に対応する端部(つまり、素子分離絶縁膜を形成した後でゲート酸化膜を形成した周辺トランジスタ領域における素子領域の端部)の形状の一例を拡大して示しており、この部分のデバイス完成後の形状の一例を拡大して図3(b)に示している。ここで、101は半導体基板、105は素子分離絶縁膜、109はゲート酸化膜、112はゲート電極である。

【0041】図3(a)、(b)から分かるように、素子領域端部上のゲート酸化膜109はバーズピークが入った形状であるので、バーズピークが存在しない従来例に示した図9(b)と比べて、ゲート付け分け工程中の剥離工程での素子領域端部での膜減りが抑制され、素子領域端部での電界集中が起こり難くなっている。

【0042】また、図3(a)、(b)に示した周辺トランジスタ領域における素子領域端部でゲート酸化膜109上に形成されるゲート電極112の落ち込みの形状は、従来例に示した図9(b)と比べて落ち込み量が少ない形状となっており、因みに、実測の結果、前記素子領域の平坦部の高さとそれよりも上部にあるゲート電極

の最も低い部分の高さの差dが4nm以上であった。

【0043】<第2実施例>図4(a)乃至図5(d)は、本発明の第2実施例に係るNOR型フラッシュEEPROMの製造工程の一部を示している。このフラッシュEEPROMは、埋め込み素子分離領域により絶縁分離された素子領域を有し、メモリセルアレイ領域と周辺トランジスタ領域とはMOSトランジスタのゲート酸化膜の膜厚が異なるものである。

【0044】第2実施例では、図7(a)乃至図8(a)を参照して前述した従来例と同様の工程を図4(a)乃至図5(a)に示すように行う。この段階で、周辺トランジスタ領域における素子領域の端部の角が剥き出しがなる。

【0045】次に、メモリセルアレイ領域をレジストでカバーしたまま、図5(b)に示すように、ウェットエッティング処理(あるいは等方性のドライエッティング処理、またはこれら両方の処理)を行うことによって、露出した素子領域端部の角をエッティングして丸みをもつ形状にする。

【0046】次に、メモリセルアレイ領域をカバーしているレジストを除去した後、図5(c)に示すように、従来と同様に周辺回路用トランジスタのゲート酸化膜109を形成し、さらに、図5(c)とは直交する方向からみて示す図5(d)のように、不純物が導入されたポリシリコン膜を基板上全面に堆積する。そして、メモリセルアレイ領域では上記ポリシリコン膜、前記ONO絶縁膜108、ポリシリコン膜106および103をパターニングして制御ゲート110と浮遊ゲート111(ポリシリコン膜106および103)が二層になった積層ゲート構造を形成し、周辺トランジスタ領域では前記ポリシリコン膜をパターニングすることによりゲート電極112を形成する。引き続いて、図示しないが、基板表層部にトランジスタのソース/ドレインとなる不純物を選択的に導入し、さらに、層間絶縁膜の堆積、コンタクトの開孔、配線形成、表面保護絶縁膜の堆積を行い、フラッシュEEPROMを完成させる。

【0047】図6は、図5(c)中に点線の○印で示した部分に対応する端部(つまり、素子分離絶縁膜を形成した後でゲート酸化膜を形成した周辺トランジスタ領域における素子領域の端部)の形状の一例を拡大して示している。ここで、101は半導体基板、105は素子分離絶縁膜、109はゲート酸化膜である。

【0048】図6から分かるように、素子領域の端部が丸みを帯びた形状となるので、従来問題となっていた素子領域端部での電界集中が抑制される。

【0049】以上を要約すると、従来の製造方法においては、周辺トランジスタ領域のゲート酸化膜を形成する前のONO膜、トンネル酸化膜の除去工程において、素子領域端部で角が剥き出しがなってしまう。

【0050】これにより、周辺回路トランジスタの動作

時に素子領域端部の角で電界集中が起こり、周辺回路トランジスタのリーク電流が増え、デバイスの消費電流が増えたり、周辺回路トランジスタのサブスレショールド特性がゲート電圧に対して不連続となることによって周辺回路が誤動作し、製品の収率を落とす原因となっていた。

【0051】これに対して、本発明の実施例の製造方法では、(1)周辺トランジスタ領域の素子領域端部に対し、ウェットエッティング処理、等方性ドライエッティング処理、酸化処理、あるいはその複合処理を行うことにより、素子領域端部の曲率を大きくする、または、(2)周辺トランジスタ領域の素子分離形成工程中に素子領域端部にバーズピークを入れる。

【0052】これにより、ゲート電極が素子領域端部で電界集中を起こさないよう素子領域端部でのゲート電極の落ち込みを抑制することができ、周辺回路トランジスタのリーク電流が抑制され、周辺回路トランジスタのサブスレショールド電流特性が改善されるので、製品の消費電力を下げ、収率を上げることが可能となる。

【0053】なお、剥き出しがなった素子領域端部の角を丸める方法としては、酸化を酸素が供給律速の状態で行うと、角の部分が平らな部分に比べ酸化され易いことが一般に知られている。

【0054】そこで、前記各実施例中の処理の代わりに、周辺回路トランジスタのゲート形成の前に、高温、かつ、酸素の供給を抑えた条件、例えば1000°C、窒素90%、酸素10%の条件で酸化する工程を追加しても、剥き出しがなった素子領域端部の角を丸めることができ、周辺回路トランジスタのゲート酸化膜形成工程そのものを供給律速の酸化方法にしても同様の効果が得られる。また、これらの方法を組み合わせることによっても同様の効果が得られることは当然である。

【0055】なお、本発明の半導体装置は、前記実施例のフラッシュEEPROMに限らず、メモリセルトランジスタが複数個形成され、前記メモリセルトランジスタの素子領域が埋め込み素子分離領域により絶縁分離されたメモリセルアレイ領域と、メモリセルアレイの周辺回路トランジスタが複数個形成され、前記周辺回路トランジスタの素子領域が埋め込み素子分離領域により絶縁分離された周辺トランジスタ領域とを具備し、前記周辺回路トランジスタの素子領域の端部の曲率が前記メモリセルトランジスタの素子領域の端部の曲率に比べて大きくなる実質的に設定されていることを特徴とするものである。換言すれば、上記したような①、②、③のいずれの手法を用いてメモリセルアレイ領域と周辺トランジスタ領域のゲート酸化膜の付け分けを行う場合でも、周辺トランジスタ領域において埋め込み素子分離領域により絶縁分離された素子領域の端部の角を丸めることは、ゲート電極が素子領域から素子分離領域に跨がって形成された周辺回路トランジスタのキンク特性を抑制するうえで極め

て有効である。

【0056】また、本発明の半導体装置の製造方法は、フラッシュEEPROMに限らず、ゲート絶縁膜の一部を素子分離形成工程の前に形成し、ゲート絶縁膜の残りを素子分離形成工程の後に形成する半導体装置の製造に際して適用可能である。

【0057】

【発明の効果】上述したように本発明の半導体装置およびその製造方法によれば、素子領域の端部の形状を丸めることによりトランジスタのゲート電圧が低い領域のリーク電流および消費電流を抑制でき、サブスレショールド電流特性がゲート電圧に対して連続的になり、ゲート電圧が低い領域でのトランジスタの動作が安定になり、製品の収率を向上させることが可能になる。

【0058】従って、本発明を例えればフラッシュEEPROMおよびその製造方法に適用し、周辺トランジスタ領域における素子領域端部の曲率をメモリセルアレイ領域における素子領域端部の曲率部に比べて大きく設定することによって、周辺回路トランジスタのリーク電流を小さくし、消費電力を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例に係るNOR型フラッシュEEPROMの製造工程の一部を示す断面図。

【図2】図1の工程に続く工程の一部を示す断面図。

【図3】図2(c)中に○で示した部分の形状の一例およびこの部分のデバイス完成後の形状の一例を拡大して示す断面図。

【図4】本発明の第2実施例に係るNOR型フラッシュEEPROMの製造工程の一部を示す断面図。

【図5】図4の工程に続く工程の一部を示す断面図。

【図6】図5(c)中に○で示した部分の形状の一例を拡大して示す断面図。

【図7】従来の埋め込み素子分離を用いたフラッシュEEPROMの製造工程の一部を示す断面図。

【図8】図7の工程に続く工程の一部を示す断面図。

【図9】従来のフラッシュEEPROMにおいて素子分離絶縁膜を形成する前にゲート酸化膜を形成したメモリセルアレイ領域におけるトランジスタの素子分離領域付近(素子領域の端部)の形状の一例および素子分離絶縁膜を形成した後でゲート酸化膜を形成した周辺トランジスタ領域における素子領域の端部の形状の一例を示す断面図。

【符号の説明】

101…半導体基板、

102…トンネル酸化膜、

103、106…リンドープされたポリシリコン、

104…CVD窒化膜とCVD酸化膜の積層膜、

105…埋め込み絶縁膜、

107…スリット、

108…ONO絶縁膜、

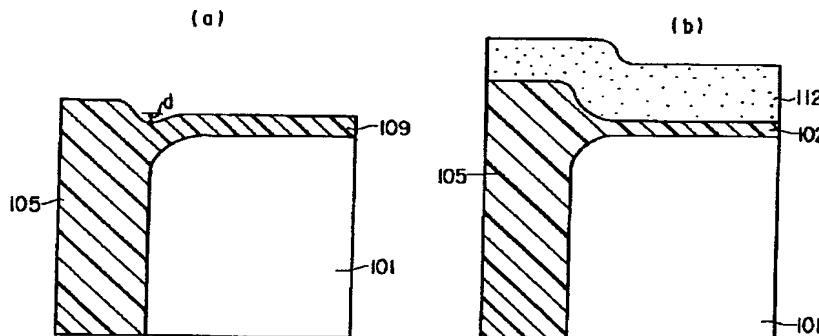
109…周辺回路トランジスタのゲート酸化膜、

110…メモリセルトランジスタの制御ゲート、

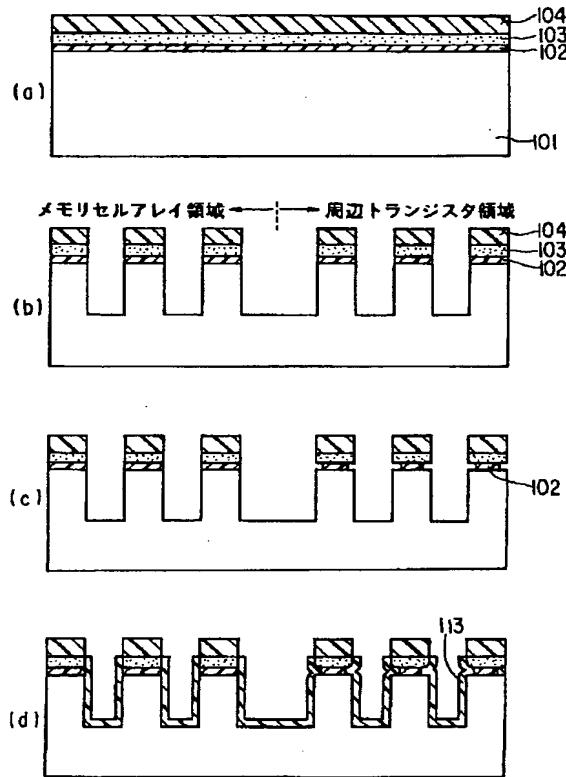
111…メモリセルトランジスタの浮遊ゲート、

112…周辺回路トランジスタのゲート電極。

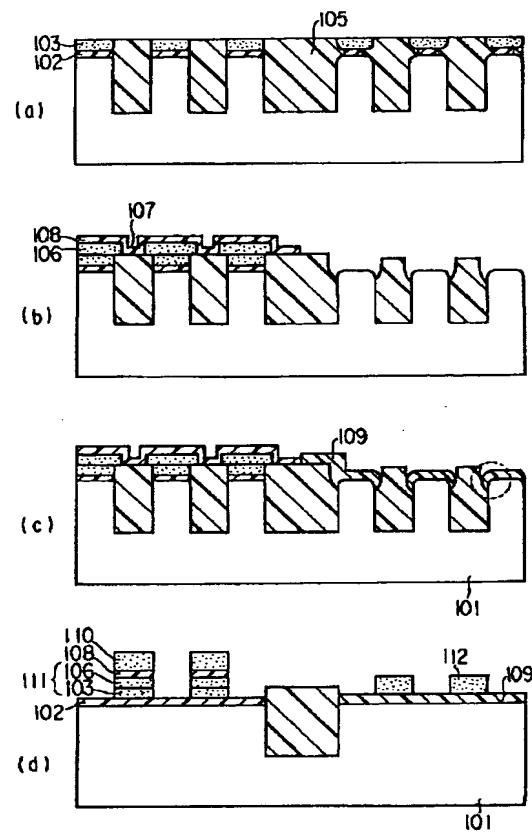
【図3】



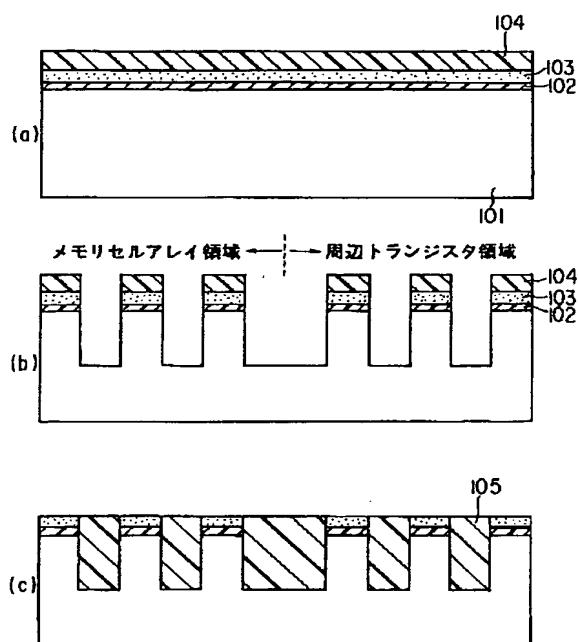
【図1】



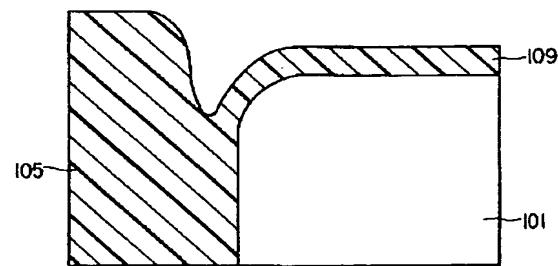
【図2】



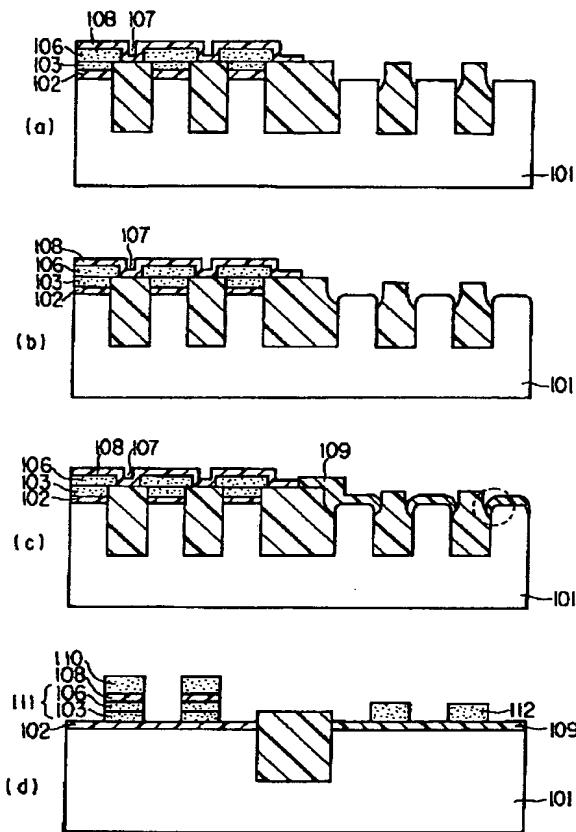
【図4】



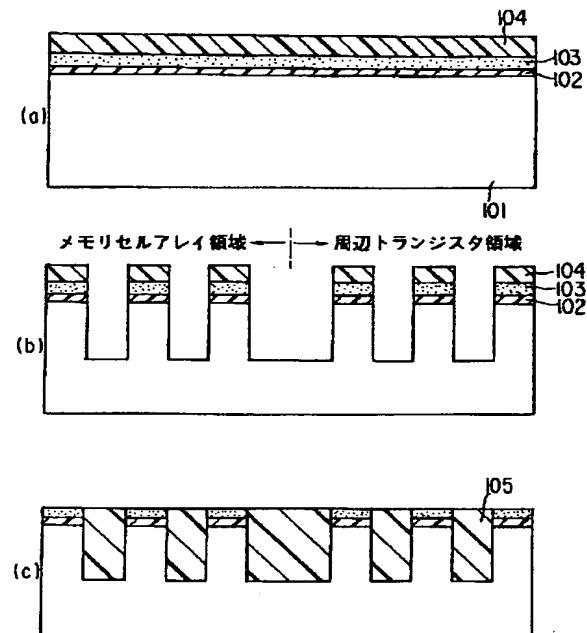
【図6】



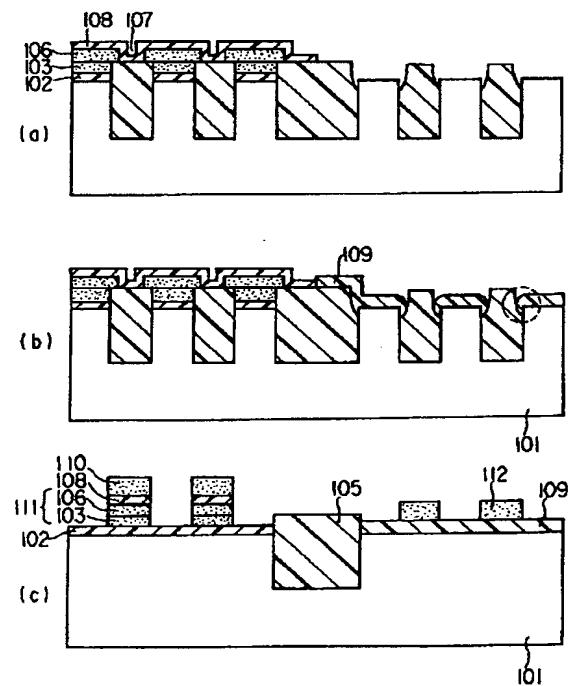
【図5】



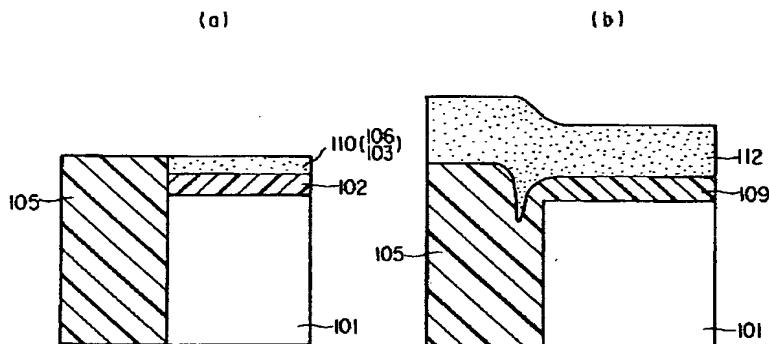
【図7】



【図8】



【図9】



フロントページの続き

(51) Int. Cl. 7

識別記号

H O 1 L 29/792

F I

テ-マコ-ト (参考)

(72) 発明者 磯辺 和亞樹

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

F ターム (参考) 5F001 AA25 AA43 AA62 AB08 AD60

AF25 AG02 AG40

5F032 AA35 AA44 AA77 BA01 BA06

CA17 DA03 DA33

5F083 EP02 EP23 EP55 EP77 ER22

GA06 GA11 NA01 PR12 ZA05

ZA07

(72) 発明者 松井 法晴

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内